

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

Docket No. 219723US2S/pmh



2811  
#3  
5-17-02  
Mdlsh

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hajime NAGANO, et al.

GAU: 2811

SERIAL NO: 10/078,344

EXAMINER:

FILED: February 21, 2002

FOR: SEMICONDUCTOR DEVICE USING PARTIAL SOI SUBSTRATE AND MANUFACTURING METHOD THEREOF

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

JAPAN

2001-398480

December 27, 2001

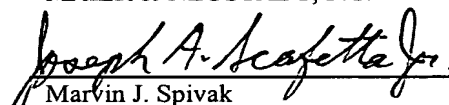
RECEIVED  
APR 24 2002  
TECHNOLOGY CENTER 2800

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
  - ☐ are submitted herewith
  - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak  
Registration No. 24,913

Joseph A. Scafetta, Jr.  
Registration No. 26,803



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

10/078, 344

日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年12月27日

出 願 番 号

Application Number:

特願2001-398480

[ ST.10/C ]:

[ JP 2001-398480 ]

出 願 人

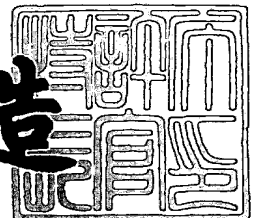
Applicant(s):

株式会社東芝

2002年 2月 1日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3003293

【書類名】 特許願

【整理番号】 A000106841

【提出日】 平成13年12月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/84

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 23

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横  
浜事業所内

    【氏名】 永野 元

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横  
浜事業所内

    【氏名】 新田 伸一

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横  
浜事業所内

    【氏名】 親松 尚人

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

    【氏名又は名称】 鈴江 武彦

    【電話番号】 03-3502-3181

【選任した代理人】

    【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 支持基板の第 1 の領域上に埋め込み酸化物層を介在して形成された第 1 の半導体層と、

前記支持基板の第 2 の領域上に形成された第 2 の半導体層とを具備し、

前記支持基板と前記第 2 の半導体層との界面は、前記埋め込み酸化物層の下面と実質的に等しいか、あるいは前記埋め込み酸化物層より深い部分に位置することを特徴とする半導体装置。

【請求項 2】 前記第 1 の半導体層に形成された第 1 の素子と、前記第 2 の半導体層に形成された第 2 の素子とを更に具備し、

前記第 2 の素子の活性領域を、前記支持基板と前記第 2 の半導体層との界面を避けて形成したことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 2 の半導体層の上面は、前記支持基板の表面よりも上方に位置することを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記第 2 の半導体層は、エピタキシャル成長層であり、

前記支持基板と前記第 2 の半導体層との界面は、前記支持基板と前記エピタキシャル成長層との界面であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記支持基板と前記第 2 の半導体層との界面は、前記支持基板と前記第 2 の半導体層との張り合わせ界面であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 前記支持基板及び前記第 1, 第 2 の半導体層はそれぞれシリコンであり、前記埋め込み酸化物層は酸化シリコンであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】 前記支持基板と前記第 2 の半導体層との界面近傍における前記支持基板の酸素濃度は、前記埋め込み酸化物層の直下近傍における前記支持基板の酸素濃度より低いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】 前記第 2 の素子は、DRAM のトレンチ型メモリセルを含み、前記支持基板と前記第 2 の半導体層との界面は、前記埋め込み酸化物層の下面

と実質的に等しく、且つ前記トレンチ型メモリセルにおけるトレンチキャパシタのカラー酸化膜を横切ることを特徴とする請求項 2 に記載の半導体装置。

【請求項 9】 前記第 2 の素子は、DRAM のトレンチ型メモリセルを含み、前記支持基板と前記第 2 の半導体層との界面は、前記埋め込み酸化物層の下面と実質的に等しく、且つ前記トレンチ型メモリセルにおけるトレンチキャパシタを横切ることを特徴とする請求項 2 に記載の半導体装置。

【請求項 1 0】 前記第 2 の素子は、DRAM のトレンチ型メモリセルを含み、前記支持基板と前記第 2 の半導体層との界面は、前記埋め込み酸化物層の下面と実質的に等しく、且つ前記トレンチ型メモリセルにおけるトレンチキャパシタより深い部分を横切ることを特徴とする請求項 2 に記載の半導体装置。

【請求項 1 1】 前記第 2 の素子は、DRAM のトレンチ型メモリセルを含み、前記支持基板と前記第 2 の半導体層との界面は、前記埋め込み酸化物層より深い部分に位置し、且つ前記トレンチ型メモリセルにおけるトレンチキャパシタを横切ることを特徴とする請求項 2 に記載の半導体装置。

【請求項 1 2】 前記第 2 の素子は、DRAM のトレンチ型メモリセルを含み、前記支持基板と前記第 2 の半導体層との界面は、前記埋め込み酸化物層より深い部分に位置し、且つ前記トレンチ型メモリセルにおけるトレンチキャパシタより深い部分を横切ることを特徴とする請求項 2 に記載の半導体装置。

【請求項 1 3】 半導体基板上に埋め込み酸化物層を介在して第 1 の半導体層が形成された S O I 基板における、前記第 1 の半導体層及び前記埋め込み酸化物層を選択的に除去し、半導体基板の一部の表面を露出させる工程と、

前記半導体基板の露出された領域を深さ方向に除去する工程と、

前記半導体基板を深さ方向に除去した領域内を第 2 の半導体層で埋め込む工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項 1 4】 半導体基板上に埋め込み酸化物層を介在して第 1 の半導体層が形成された S O I 基板における、前記第 1 の半導体層及び前記埋め込み酸化物層の一部を選択的に除去する工程と、

前記第 1 の半導体層の側壁に側壁保護膜を形成する工程と、



前記埋め込み酸化物層の残存されている一部を除去し、前記半導体基板の表面を露出させる工程と、

前記半導体基板の露出されている表面上に第 2 の半導体層を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 1 5】 前記第 1, 第 2 の半導体層中に第 1, 第 2 の素子を形成する工程を更に具備することを特徴とする請求項 1 3 または 1 4 に記載の半導体装置の製造方法。

【請求項 1 6】 前記半導体基板の露出された領域を深さ方向に除去する工程は、溶液を用いたウェットエッチング法で行うことを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 7】 前記半導体基板の表面を露出させる工程は、溶液を用いたウェットエッチング法で行うことを特徴とする請求項 1 4 に記載の半導体装置の製造方法。

【請求項 1 8】 前記半導体基板を深さ方向に除去した領域内を第 2 の半導体層で埋め込む工程は、エピタキシャル成長法を用いて行うことを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 9】 前記第 2 の半導体層を形成する工程は、エピタキシャル成長法を用いて行うことを特徴とする請求項 1 4 に記載の半導体装置の製造方法。

【請求項 2 0】 前記半導体基板の露出された領域を深さ方向に除去する工程の後に、前記半導体基板を深さ方向に除去した領域の側壁に側壁保護膜を形成する工程を更に具備することを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【請求項 2 1】 前記側壁保護膜は、窒化シリコンであることを特徴とする請求項 1 4 または 2 0 に記載の半導体装置の製造方法。

【請求項 2 2】 前記半導体基板の露出された領域を深さ方向に除去する工程の後に、前記半導体基板の露出面に水素アニールを行う工程を更に具備することを特徴とする請求項 1 3 に記載の半導体装置の製造方法。

【請求項 2 3】 前記半導体基板の表面を露出させる工程の後に、前記半導体基板の露出面に水素アニールを行う工程を更に具備することを特徴とする請求

項 1 4 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、部分 S O I 基板を用いた半導体装置及びその製造方法に関するものであり、更に詳しくは、S O I (Silicon On Insulator) 基板における一部の領域のシリコン層と B O X (Buried OXide) 層を選択的に除去することにより、非 S O I 領域を形成した部分 S O I ウェーハの S O I 領域と非 S O I 領域それぞれに素子を形成した半導体装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

S O I 基板上に M O S F E T を形成した構造は、高性能ロジックデバイスとして有望である。しかし、いわゆる基板浮遊効果のため、オフ状態となるべきゲート電圧であっても、ソースドレイン間電圧の条件によっては寄生 M O S F E T や寄生バイポーラトランジスタが動作してしまい、ソースドレイン間にリーク電流が流れることが知られている。このような特性は、例えば D R A M のメモリセル用トランジスタのように、リーク電流に対するスペックが厳しい用途にはリテンションの劣化等の問題を引き起こし好ましくない。また、D R A M のセンスアンプ回路では、基板浮遊効果によってペアトランジスタのしきい値電圧がずれるため、センスマージンも低下する。これらの問題により、S O I 基板に高性能ロジック回路と同様な M O S F E T 構造で D R A M を形成するのは困難である。

【 0 0 0 3 】

一方、高性能ロジック回路と D R A M を混載したデバイスの需要は大きく、S O I 構造を用いて高性能化したロジックデバイスに D R A M を混載する技術の確立が望まれている。

【 0 0 0 4 】

S O I 領域と非 S O I 領域とを有する部分 S O I 基板は、例えば D R A M 混載ロジックデバイス (embedded D R A M : e D R A M) のように、S O I 基板とバルク基板の両方を必要とする回路に有用である。このような部分 S O I 基板の製

造方法の1つに、SOI基板における埋め込み酸化物層（BOX層）上のシリコン層（SOI層と称す）とBOX層を選択的にエッチングして除去し、このエッチングした領域をシリコンで埋め戻す方法が考えられる。

## 【0005】

図33乃至図37はそれぞれ、従来の半導体装置の製造方法について説明するためのもので、部分SOI基板の製造工程を示す断面図である。図33において、11はSOI基板で、このSOI基板11は、張り合わせ法などにより、支持基板12、BOX層13及びSOI層14が積層されて形成される。

## 【0006】

次に、図34に示すように、上記SOI基板11におけるSOI層14を部分的に剥離する。引き続き、上記SOI層14を剥離した部分のBOX層13を剥離し、図35に示すように支持基板12の表面を露出させた開口部15を形成する。

## 【0007】

そして、図36に示すように、上記開口部15内の支持基板12上にシリコン層16を形成することにより非SOI領域を形成する。

## 【0008】

上述した方法で部分SOI基板を形成すると、図37に示すように、シリコン層16の形成界面16AにおけるSOI基板11の表面11Aからの距離 $\Delta 1$ は、SOI層14とBOX層13の厚さの和 $\Delta 2$ とほぼ等しく、現在のSOI基板11では0.3～0.6 $\mu\text{m}$ ほどである。

## 【0009】

しかしながら、上記のような製造方法で形成された非SOI領域に、トランジスタやDRAMのトレンチ型メモリセルを形成すると、デバイスの活性領域がシリコン層16の形成界面16Aを横切るため、リーク電流の増加やポーズ特性の劣化が大きく、所望の電気特性が得られない。

## 【0010】

図38は、DRAMのトレンチ型メモリセルMCの断面構成図であり、リーク電流の経路を示している。図38において、CTはセルトランジスタ、CCはセ

ルキャパシタ（トレンチキャパシタ）、21はソース領域、22はドレイン領域、23はゲート電極、24はゲート絶縁膜、25は空乏層である。図示するように、セルトランジスタCTのソース、ドレイン領域21、22と空乏層25がシリコン層16の形成界面16Aを横切っている。

#### 【0011】

上記セルトランジスタCTのオフ時には、ソース、ドレイン領域21、22間にリーク電流 $I_{off}$ が流れる。また、ソース領域21と支持基板12間には接合リーク電流 $I_j$ が存在している。

#### 【0012】

##### 【発明が解決しようとする課題】

上記のように、従来の部分SOI基板を用いた半導体装置及びその製造方法は、リーク電流の増加やポーズ特性の劣化が大きいという問題があった。

#### 【0013】

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、リーク電流の増加やポーズ特性の劣化を低減できる部分SOI基板を用いた半導体装置及びその製造方法を提供することにある。

#### 【0014】

##### 【課題を解決するための手段】

この発明の半導体装置は、支持基板の第1の領域上に埋め込み酸化物層を介在して形成された第1の半導体層と、前記支持基板の第2の領域上に形成された第2の半導体層とを具備し、前記支持基板と前記第2の半導体層との界面は、前記埋め込み酸化物層の下面と実質的に等しいか、あるいは前記埋め込み酸化物層より深い部分に位置することを特徴としている。

#### 【0015】

また、この発明の半導体装置の製造方法は、半導体基板上に埋め込み酸化物層を介在して第1の半導体層が形成されたSOI基板における、前記第1の半導体層及び前記埋め込み酸化物層を選択的に除去し、半導体基板の一部の表面を露出させる工程と、前記半導体基板の露出された領域を深さ方向に除去する工程と、前記半導体基板を深さ方向に除去した領域内を第2の半導体層で埋め込む工程と

を具備することを特徴としている。

【0016】

更に、この発明の半導体装置の製造方法は、半導体基板上に埋め込み酸化物層を介在して第1の半導体層が形成されたSOI基板における、前記第1の半導体層及び前記埋め込み酸化物層の一部を選択的に除去する工程と、前記第1の半導体層の側壁に側壁保護膜を形成する工程と、前記埋め込み酸化物層の残存されている一部を除去し、前記半導体基板の表面を露出させる工程と、前記半導体基板の露出されている表面上に第2の半導体層を形成する工程とを具備することを特徴としている。

【0017】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

【第1の実施の形態】

図1は、この発明の第1の実施の形態に係る半導体装置について説明するための断面構成図である。この図1では、DRAM（トレンチ型のメモリセル）とロジック回路を構成するMOSFETを混載する場合を例にとって示している。

【0018】

支持基板（シリコン基板）31上には、埋め込み酸化物層（BOX層）32が形成され、この埋め込み酸化物層32上には、シリコン層（SOI層）33が設けられてSOI領域が形成されている。一方、上記支持基板31の埋め込み酸化物層32が存在しない領域（非SOI領域）上には、エピタキシャルシリコン層34が形成されている。上記支持基板31と上記エピタキシャルシリコン層34との界面JSは、上記埋め込み酸化物層32の下面と実質的に等しくなっている。また、上記エピタキシャルシリコン層34の表面は、上記SOI層33の表面よりも低く、且つ埋め込み酸化物層32の上面よりも高くなっている。

【0019】

上記埋め込み酸化物層32が形成されているSOI領域には、ロジック回路を構成するMOSFET Qが形成され、上記埋め込み酸化物層32が形成されていない非SOI領域上にはDRAMのトレンチ型メモリセルMCが形成される。

## 【 0 0 2 0 】

上記MOSFET Qは、SOI層33におけるSTI構造の素子分離領域35で区画された領域に形成されている。すなわち、SOI層33中にソース領域36とドレイン領域37が離隔して形成されている。これらソース、ドレイン領域36、37間のSOI層33上には、ゲート絶縁膜38が形成され、このゲート絶縁膜38上にゲート電極39が形成されている。

## 【 0 0 2 1 】

一方、セルトランジスタCTとセルキャパシタ（トレンチキャパシタ）CCとからなるメモリセルMCは、エピタキシャルシリコン層34と支持基板31中に形成されている。上記支持基板31とエピタキシャルシリコン層34との接合部（破線JSで示す）近傍には埋め込みnウェル領域40が形成されている。このnウェル領域40上に形成されたpウェル領域41中には、セルトランジスタCTのソース領域42とドレイン領域43が離隔して形成されている。これらソース、ドレイン領域42、43間のエピタキシャルシリコン層34上には、ゲート絶縁膜44が形成され、このゲート絶縁膜44上にゲート電極45が形成されている。また、上記エピタキシャルシリコン層34には、上記ソース領域42に接してソース電極46が埋め込み形成され、ドレイン領域43側には素子分離領域47が埋め込まれている。上記ドレイン領域43と上記素子分離領域47との間には、バリッドストラップ（Buried Strap）48が設けられている。また、上記埋め込みnウェル領域40には、カラー酸化膜49が形成されている。そして、セルキャパシタCCのトレンチ内が、酸化膜を介在してポリシリコン層50で埋め込まれている。上記トレンチの周辺の支持基板31中には不純物拡散層51が形成されている。上記ポリシリコン層50は、セルキャパシタCCの一方の電極として働き、上記不純物拡散層51は他方の電極として働く。

## 【 0 0 2 2 】

図1に示すように、エピタキシャルシリコン層34と支持基板31との界面JSは、カラー酸化膜49を横切るように、素子の活性領域、すなわちセルトランジスタCTにおけるソース、ドレイン領域42、43及びバリッドストラップ48、並びにセルキャパシタCCの不純物拡散層51を避けて形成されている。

## 【 0 0 2 3 】

このような構成によれば、セルトランジスタCTのソース、ドレイン領域42, 43としての不純物拡散層や空乏層、並びにセルキャパシタCCの不純物拡散層51が支持基板31とエピタキシャルシリコン層34の界面JSにかからない。これによって、リーク電流の増加やポーズ特性の劣化を低減でき、部分SOI基板の非SOI領域上に形成したデバイスの電気特性を向上できる。

## 【 0 0 2 4 】

## [第2の実施の形態]

図2は、この発明の第2の実施の形態に係る半導体装置について説明するための断面構成図である。この図2では、第1の実施の形態と同様に、DRAM（トレンチ型のメモリセル）とロジック回路を構成するMOSFETを混載する場合を例にとって示している。

## 【 0 0 2 5 】

支持基板（シリコン基板）31上には、埋め込み酸化物層（BOX層）32が形成され、この埋め込み酸化物層32上には、シリコン層（SOI層）33が設けられてSOI領域が形成されている。一方、上記支持基板31の埋め込み酸化物層32が存在しない領域（非SOI領域）上には、エピタキシャルシリコン層34が形成されている。上記支持基板31と上記エピタキシャルシリコン層34との界面JSは、上記埋め込み酸化物層32の下面と実質的に等しくなっている。また、上記エピタキシャルシリコン層34の表面は、上記SOI層33の表面よりも高くなっている。

## 【 0 0 2 6 】

他の基本的な構成は、図1と同様であるので同一部分に同じ符号を付してその詳細な説明は省略する。すなわち、本第2の実施の形態に係る半導体装置では、エピタキシャルシリコン層34と支持基板31との界面JSを、セルキャパシタCCを横切り、セルトランジスタCTにおけるソース、ドレイン領域42, 43及びバリッドストラップ48を横切らないように、セルトランジスタCTとセルキャパシタCCを形成している。

## 【 0 0 2 7 】

このような構成によれば、セルトランジスタCTのソース、ドレイン領域42、43としての不純物拡散層や空乏層が支持基板31とエピタキシャルシリコン層34の界面JSにかからなくできる。これによって、リーク電流を低減でき、部分SOI基板の非SOI領域上に形成したデバイスの電気特性を向上できる。

【0028】

[第3の実施の形態]

図3は、この発明の第3の実施の形態に係る半導体装置について説明するための断面構成図である。この図3では、第1の実施の形態と同様に、DRAM（トレンチ型のメモリセル）とロジック回路を構成するMOSFETを混載する場合を例にとって示している。

【0029】

支持基板（シリコン基板）31上には、埋め込み酸化物層（BOX層）32が形成され、この埋め込み酸化物層32上には、シリコン層（SOI層）33が設けられてSOI領域が形成されている。一方、上記支持基板31の埋め込み酸化物層32が存在しない領域（非SOI領域）上には、エピタキシャルシリコン層34が形成されている。上記支持基板31と上記エピタキシャルシリコン層34との界面JSは、上記埋め込み酸化物層32の下面と実質的に等しくなっている。また、上記エピタキシャルシリコン層34の表面は、上記SOI層33の表面よりも十分高くなっている。

【0030】

他の基本的な構成は、図1及び図2と同様であるので同一部分に同じ符号を付してその詳細な説明は省略する。すなわち、本第3の実施の形態に係る半導体装置では、エピタキシャルシリコン層34と支持基板31との界面JSを、セルトランジスタCTにおけるソース、ドレイン領域42、43及びバリッドストラップ48、及びセルキャパシタCCの不純物拡散層51の全てを横切らないように、セルトランジスタCTとセルキャパシタCCを形成している。

【0031】

このような構成によれば、セルトランジスタCTのソース、ドレイン領域42、43としての不純物拡散層や空乏層、セルキャパシタCCの不純物拡散層51



が支持基板 3 1 とエピタキシャルシリコン層 3 4 の界面 J S にかからなくできる。これによって、リーク電流の増加やポーズ特性の劣化を低減でき、部分 S O I 基板の非 S O I 領域上に形成したデバイスの電気特性を向上できる。

#### 【 0 0 3 2 】

##### [ 第 4 の実施の形態 ]

図 4 は、この発明の第 4 の実施の形態に係る半導体装置について説明するための断面構成図である。この図 4 では、第 1 乃至第 3 の実施の形態と同様に、D R A M ( トレンチ型のメモリセル ) とロジック回路を構成する M O S F E T を混載する場合を例にとって示している。

#### 【 0 0 3 3 】

支持基板 ( シリコン基板 ) 3 1 上には、埋め込み酸化物層 ( B O X 層 ) 3 2 が形成され、この埋め込み酸化物層 3 2 上には、シリコン層 ( S O I 層 ) 3 3 が設けられて S O I 領域が形成されている。一方、上記支持基板 3 1 の埋め込み酸化物層 3 2 が存在しない領域 ( 非 S O I 領域 ) 上には、支持基板 3 1 を掘り下げた深い位置からエピタキシャルシリコン層 3 4 が形成されている。すなわち、上記支持基板 3 1 と上記エピタキシャルシリコン層 3 4 との界面 J S は、上記埋め込み酸化物層 3 2 より深い部分に位置している。また、上記エピタキシャルシリコン層 3 4 の表面は、上記 S O I 層 3 3 の表面と実質的に同じ高さになっている。

#### 【 0 0 3 4 】

他の基本的な構成は、図 1 乃至図 3 と同様であるので同一部分に同じ符号を付してその詳細な説明は省略する。すなわち、本第 4 の実施の形態に係る半導体装置では、エピタキシャルシリコン層 3 4 と支持基板 3 1 との界面 J S が、セルキャパシタ C C を横切り、セルトランジスタ C T におけるソース、ドレイン領域 4 2, 4 3 及びバリッドストラップ 4 8 を横切らないように、セルトランジスタ C T とセルキャパシタ C C を形成している。

#### 【 0 0 3 5 】

このような構成によれば、セルトランジスタ C T のソース、ドレイン領域 4 2, 4 3 としての拡散層や空乏層が支持基板 3 1 とエピタキシャルシリコン層 3 4 の界面 J S にかからなくできる。これによって、リーク電流を低減でき、部分 S

〇 I 基板の非 S O I 領域上に形成したデバイスの電気特性を向上できる。しかも、S O I 領域と非 S O I 領域の表面がほぼ同じ高さになるので、上層に形成される配線層の段切れなどによる不良が抑制できる。

#### 【 0 0 3 6 】

##### 〔第 5 の実施の形態〕

図 5 は、この発明の第 5 の実施の形態に係る半導体装置について説明するための断面構成図である。この図 5 では、第 1 乃至第 4 の実施の形態と同様に、D R A M (トレンチ型のメモリセル) とロジック回路を構成する M O S F E T を混載する場合を例にとって示している。

#### 【 0 0 3 7 】

支持基板 (シリコン基板) 3 1 上には、埋め込み酸化物層 (B O X 層) 3 2 が形成され、この埋め込み酸化物層 3 2 上には、シリコン層 (S O I 層) 3 3 が設けられて S O I 領域が形成されている。一方、上記支持基板 3 1 の埋め込み酸化物層 3 2 が存在しない領域 (非 S O I 領域) 上には、支持基板 3 1 を掘り下げた深い位置からエピタキシャルシリコン層 3 4 が形成されている。すなわち、上記支持基板 3 1 と上記エピタキシャルシリコン層 3 4 との界面 J S は、上記埋め込み酸化物層 3 2 より十分深い部分に位置している。また、上記エピタキシャルシリコン層 3 4 の表面は、上記 S O I 層 3 3 の表面より十分高くなっている。

#### 【 0 0 3 8 】

他の基本的な構成は、図 1 乃至図 4 と同様であるので同一部分に同じ符号を付してその詳細な説明は省略する。すなわち、本第 5 の実施の形態に係る半導体装置では、エピタキシャルシリコン層 3 4 と支持基板 3 1 との界面 J S が、セルトランジスタ C T におけるソース、ドレイン領域 4 2, 4 3 及びバリッドストラップ 4 8、並びにセルキャパシタ C C の不純物拡散層 5 1 を横切らないように、セルトランジスタ C T とセルキャパシタ C C を形成している。

#### 【 0 0 3 9 】

このような構成によれば、セルトランジスタ C T のソース、ドレイン領域 4 2, 4 3 としての拡散層や空乏層、並びにセルキャパシタ C C の拡散層が支持基板 3 1 とエピタキシャルシリコン層 3 4 の界面 J S にかからなくできる。これによ

って、リーク電流の増加やポーズ特性の劣化を低減でき、部分SOI基板の非SOI領域上に形成したデバイスの電気特性を向上できる。しかも、SOI領域と非SOI領域の表面の段差が緩和できるので、上層に形成される配線層の段切れなどによる不良が抑制できる。

【0040】

〔第6の実施の形態〕

次に、上述したような半導体装置の製造方法について図6乃至図10により詳しく説明する。

【0041】

まず、図6に示すように、張り合わせ法により、シリコン基板（支持基板）31、BOX層32、SOI層33を積層したSOI基板を形成する。もちろん、張り合わせ法ではなく、シリコン基板（支持基板）31上にBOX層32を形成し、このBOX層32上にSOI層33を形成することもできる。

【0042】

次に、上記SOI層上に保護酸化膜61を形成し、この保護酸化膜61上にSiN層62を形成する。この際、上記BOX層32の厚さは約400nm、SOI層の厚さは約200nmに設定した。

【0043】

その後、PEPを用いて上記SiN層62のパターニングを行い、SiN層を部分的に除去する。このパターニングされたSiN層62をマスクにして、図7に示すように、保護酸化膜61及びSOI層33を選択的に除去する。ここでは、ドライエッチング法を用いた。

【0044】

引き続き、上記SiN層62をマスクにして、BOX層32を除去し、シリコン基板31の表面を露出させる（図8）。このBOX層32の除去には、溶液によるウェットエッチングを用いたが、プラズマによるドライエッチングを用いることもできる。

【0045】

次に、図9に示すように、エッチングによりシリコン基板31を1 $\mu$ m程度除

去し、非SOI領域を形成するための段差部63を形成する。このシリコン基板31のエッチングには、ダメージの少ない溶液によるウェットエッチングを用いた。

## 【0046】

その後、図10に示すように、上記段差部63を埋め込むように、シリコン層34を形成する。このシリコン層34の形成には、選択エピタキシャル成長法を用いた。シリコン層34の選択エピタキシャル成長は、例えば、原料ガスに $\text{SiH}_2\text{Cl}_2$ と $\text{HCl}$ 、キャリアガスに $\text{H}_2$ を用い、成長圧力 $6.7 \times 10^3 \text{ Pa}$ 、成長温度 $1000^\circ\text{C}$ の条件にて行なった。埋め戻したシリコン層34の厚さは、 $1.6 \mu\text{m}$ でありSOI層33の上面と実質的に同じ高さである。

## 【0047】

そして、マスクに用いた保護酸化膜61及びSiN層62を除去して、部分SOI基板の製造を終了する。

## 【0048】

引き続き、周知の製造工程により、上記SOI層32中にロジック回路を構成するMOSFET、シリコン層34中にトレンチ型のメモリセルをそれぞれ形成する。

## 【0049】

上記のような製造方法によれば、図4に示したような構造の半導体装置が得られる。

## 【0050】

なお、図11に示すように、上記段差部63を埋め込む際、シリコン層34の厚さを、例えば $1.8 \mu\text{m}$ にすれば、シリコン層34の上面はSOI層33の表面よりも高くなり、図5に示したような構造の半導体装置が得られる。

## 【0051】

上記方法にて形成した非SOI領域の電気特性を評価するため、図12に示すようなダイオードを基板面内に112個作製し、接合リーク特性の評価を行った。図12において、71はp型半導体領域、72はp型ウェル領域、73はn型不純物拡散層、74は素子分離酸化膜、75はAl電極、76は空乏層である。

ここでは、シリコン基板 3 1 上に形成されたエピタキシャルシリコン層 3 4 の厚さ  $\Delta 4$  を変化させている。

#### 【 0 0 5 2 】

電気特性の評価に用いたダイオードは、次のような工程で作成した。まず、 $1 \sim 2 \Omega \text{ cm}$  の抵抗率の p 型シリコン基板 3 1 に、イオン注入により不純物濃度  $5 \cdot 0 \times 10^{17} [\text{atoms}/\text{cm}^3]$ 、深さ約  $1.0 \mu\text{m}$  の p 型ウェル領域 7 2 を形成する。次に、上記 p 型ウェル領域 7 2 中に、イオン注入により不純物濃度  $1.0 \times 10^{18} \sim 1.0 \times 10^{20} [\text{atoms}/\text{cm}^3]$  の n 型の不純物拡散層 7 3 を接合深さ  $0.2 \mu\text{m}$ 、接合面積  $1.0 \text{ mm}^2$  で形成する。その後、TEOS により素子分離酸化膜 7 4 を形成し、最後に Al 電極 7 5 を形成することによりダイオードを形成した。

#### 【 0 0 5 3 】

電気特性としては、ダイオードに 2 V 及び 4 V の逆バイアスを印加したときのリーク電流の有無を評価した。このとき、空乏層 7 6 はそれぞれ、約  $0.25 \mu\text{m}$  m 及び  $0.4 \mu\text{m}$  伸びていた。

#### 【 0 0 5 4 】

まず、全ダイオードに対するリーク電流が流れたダイオードの割合を評価した。図 1 3 及び図 1 4 にリーク電流が流れたダイオードの割合を示す。比較のために、シリコン層 3 4 の厚さ  $\Delta 4$  を、0、0.1、0.3、0.5  $\mu\text{m}$  としたサンプルについても示す。その結果、この発明による非 SOI 領域（シリコン層の厚さが 1.6、1.8  $\mu\text{m}$ ）に形成したダイオードについては、リーク電流の流れたものが 2 % 未満と少ないが、シリコン層 3 4 の厚さ  $\Delta 4$  が 0  $\sim$  0.3  $\mu\text{m}$  のサンプルについては、逆バイアスの大小（空乏層幅  $\Delta 3$  の大小）にかかわらず 5 0 % 近くのダイオードでリーク電流が流れた。シリコン層の厚さ  $\Delta 4$  が 0.5  $\mu\text{m}$  のサンプルについては、逆バイアスが 2 V の時（空乏層幅  $\Delta 3 = 0.25 \mu\text{m}$ ）は、約 2 % のダイオードしかリーク電流が流れていないのに対し、逆バイアスが 4 V（空乏層幅  $\Delta 3 = 0.4 \mu\text{m}$ ）のときには、約 5 0 % のダイオードでリーク電流が流れた。

#### 【 0 0 5 5 】

図 1 5 にリーク電流と空乏層幅との関係を示す。本図から明らかなように、シリコン層 3 4 の形成界面 J S が不純物拡散層あるいは空乏層を横切るとリーク電流が流れることがある。本実験より得られたシリコン層 3 4 の厚さ  $\Delta 4$  とリーク電流との関係を図 1 6 に示す。

## 【 0 0 5 6 】

以上の結果より、非 S O I 領域を持つ部分 S O I 基板を形成する際には、シリコン層 3 4 の形成界面 J S がデバイスの不純物拡散層あるいは空乏層にかからないようにすることで、リーク電流を抑制し、電気特性の優れた高品質の部分 S O I 基板が得られることがわかる。

## 【 0 0 5 7 】

## 〔第 7 の実施の形態〕

図 1 7 乃至図 2 4 はそれぞれ、半導体装置の他の製造方法を示している。本実施の形態は、第 6 の実施の形態に示した半導体装置の製造方法において、段差部を形成した後に、側壁保護膜を形成するものである。側壁保護膜を形成することで、段差部の側壁に露出している S O I 層からのシリコンの成長を抑制することができ、基板表面において非 S O I 領域と S O I 領域の境界に形成されるバンプを抑制する効果がある。

## 【 0 0 5 8 】

すなわち、図 1 7 乃至図 2 0 に示す工程は、前述した第 6 の実施の形態における図 6 乃至図 9 と同様である。よって同一部分に同じ符号を付してその詳細な説明は省略する。

## 【 0 0 5 9 】

次に、図 2 1 に示すように、S O I 層 3 3 及びシリコン基板 3 1 の露出面に酸化膜 6 4 を形成する。この酸化膜 6 4 の形成には熱酸化法を用いた。

## 【 0 0 6 0 】

引き続き、図 2 2 に示すように、側壁保護膜 6 5 を形成する。側壁保護膜 6 5 には S i N を用いた。

## 【 0 0 6 1 】

次に、図 2 3 に示すように、この S i N 膜 6 5 の側壁を残して除去する。この

側壁を残した除去には、異方性エッチングであるプラズマによるエッチング法を用いた。その後、上記シリコン基板 3 1 表面の酸化膜 6 4 をエッチングにより除去し、段差部 6 3 の形成を終了する。エッチングにはダメージの少ない、ウェットエッチング法を用いた。

【 0 0 6 2 】

次に、段差部 6 3 を埋めるように、シリコン層 3 4 を形成する。このシリコン層 3 4 の成膜条件は、第 6 の実施の形態と同様である。

【 0 0 6 3 】

そして、上記 S O I 層 3 3 の保護酸化膜 6 1 及び上記 S i N 層 6 2 を除去して、部分 S O I 基板の製造を終了する。

【 0 0 6 4 】

その後、周知の製造工程により、上記 S O I 層 3 2 中にロジック回路を構成する M O S F E T、シリコン層 3 4 中にトレンチ型のメモリセルをそれぞれ形成する。

【 0 0 6 5 】

上記のような製造方法によれば、図 4 に示したような構造の半導体装置が得られる。

【 0 0 6 6 】

上記方法にて作製した非 S O I 領域の電気特性を第 6 の実施の形態と同様に評価した。その結果、本第 7 の実施の形態に係る製造方法においては、リーク電流の流れたダイオードは 2 % 未満であり、高品質な部分 S O I 基板を得ることができた。

【 0 0 6 7 】

なお、図 2 5 に示すように、上記段差部 6 3 を埋め込む際、シリコン層 3 4 の厚さを、例えば  $1.8 \mu\text{m}$  にすれば、シリコン層 3 4 の上面は S O I 層 3 3 の表面よりも高くなり、図 5 に示したような構造の半導体装置が得られる。

【 0 0 6 8 】

〔第 8 の実施の形態〕

図 2 6 乃至図 3 2 はそれぞれ、半導体装置の更に他の製造方法を示している。

本実施の形態は、シリコン基板をエッチングにより除去することなく、シリコン層を埋め戻した構造であり、その厚さが、BOX層とSOI層の厚さの和よりも大きくなっている。

## 【0069】

すなわち、図26及び図27に示す工程は、前述した第7の実施の形態における図17及び図18と同様である。よって同一部分に同じ符号を付してその詳細な説明は省略する。

## 【0070】

次に、図28に示すように、BOX層32の一部を除去する。このBOX層32の除去には、プラズマによるドライエッチングあるいは溶液によるウェットエッチングを用いる。

## 【0071】

その後、図29に示すように、SOI層33の側壁を保護するための側壁保護膜65を形成する。この側壁保護膜65にはSiNを用いた。

## 【0072】

次に、図30に示すように、SiN膜65を側壁を残して除去する。この側壁を残した除去には、異方性エッチングであるプラズマによるエッチング法を用いた。

## 【0073】

引き続き、図31に示すように、BOX層32の残りを除去し、開口部66の形成を終了する。このBOX層32の除去にはダメージの少ないウェットエッチング法を用いた。

## 【0074】

次に、図32に示すように、開口部66を埋めるように、シリコン層34を形成する。上記シリコン層34の形成には、シリコンを選択エピタキシャル成長させる方法を用いた。成膜条件は第6、第7の実施の形態と同様である。

## 【0075】

そして、上記SOI層33の保護酸化膜61及び上記SiN層62を除去して、部分SOI基板の製造を終了する。



## 【 0 0 7 6 】

その後、周知の製造工程により、上記 S O I 層 3 2 中にロジック回路を構成する M O S F E T、シリコン層 3 4 中にトレンチ型のメモリセルをそれぞれ形成する。

## 【 0 0 7 7 】

上記のような製造方法によれば、エピタキシャルシリコン層 3 4 の厚さに応じて図 1、図 2 及び図 3 に示したような構造の半導体装置が得られる。すなわち、エピタキシャルシリコン層 3 4 の表面を S O I 層 3 3 の表面よりも低く、且つ埋め込み酸化物層 3 2 の上面よりも高くすれば図 1 に示した構造の半導体装置が得られる。また、エピタキシャルシリコン層の表面を S O I 層 3 3 の表面よりも高くすれば図 2 に示した構造の半導体装置が得られる。更に、また、エピタキシャルシリコン層の表面を S O I 層 3 3 の表面よりも十分高くすれば図 3 に示した構造の半導体装置が得られる。

## 【 0 0 7 8 】

上記方法にて形成した非 S O I 領域の電気特性を第 6、第 7 の実施の形態と同様に評価した。この結果、本第 8 の実施の形態に係る部分 S O I 基板においては、リーク電流の流れたダイオードは 2 % 未満であり、高品質な部分 S O I 基板を得ることができた。

## 【 0 0 7 9 】

## 〔第 9 の実施の形態〕

本第 9 の実施の形態は、上述した第 6 乃至第 8 の実施の形態に係る半導体装置の製造方法において、支持基板（シリコン基板）3 1 の表面を露出させた後、エピタキシャルシリコン層 3 4 を形成する前に、露出した支持基板 3 1 の表面に熱処理（水素アニール）を施すものである。水素アニールを施すことにより、シリコン基板 3 1 の露出部の C O P（Crystal Originated Particle）及び露出部近傍の B M D（Bulk Microdefect）を消滅させ、D Z（Denuded Zone）層を形成することができる。これによって、シリコン基板 3 1 と上記エピタキシャルシリコン層 3 4 との界面近傍におけるシリコン基板 3 1 の酸素濃度は、B O X 層 3 2 の直下近傍におけるシリコン基板 3 1 の酸素濃度より低くなる。

【 0 0 8 0 】

この製造方法により、リーク電流のより高い抑制効果とリテンションの更なる改善を図れる。

【 0 0 8 1 】

以上第 1 乃至第 9 の実施の形態を用いてこの発明の説明を行ったが、この発明は上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも 1 つが解決でき、発明の効果の欄で述べられている効果の少なくとも 1 つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【 0 0 8 2 】

【発明の効果】

以上説明したように、この発明によれば、リーク電流の増加やポーズ特性の劣化を低減できる部分 S O I 基板を用いた半導体装置及びその製造方法が得られる。

【図面の簡単な説明】

【図 1】

この発明の第 1 の実施の形態に係る半導体装置について説明するための断面構成図。

【図 2】

この発明の第 2 の実施の形態に係る半導体装置について説明するための断面構成図。

【図 3】

この発明の第 3 の実施の形態に係る半導体装置について説明するための断面構成図。

【図 4】

この発明の第 4 の実施の形態に係る半導体装置について説明するための断面構成図。

【図 5】

この発明の第 5 の実施の形態に係る半導体装置について説明するための断面構成図。

【図 6】

この発明の第 6 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 1 の工程を示す断面図。

【図 7】

この発明の第 6 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 2 の工程を示す断面図。

【図 8】

この発明の第 6 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 3 の工程を示す断面図。

【図 9】

この発明の第 6 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 4 の工程を示す断面図。

【図 1 0】

この発明の第 6 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 5 の工程を示す断面図。

【図 1 1】

この発明の第 6 の実施の形態に係る半導体装置の製造方法の他の例について説明するためのもので、第 5 の工程を示す断面図。

【図 1 2】

非 S O I 領域の電気特性を評価するために用いたダイオードの断面図。

【図 1 3】

リーク電流の流れたダイオードの割合を示す特性図。

【図 1 4】

リーク電流の流れたダイオードの割合を示す特性図。

【図 1 5】

リーク電流と空乏層幅の関係を示す図。

【図 1 6】

シリコン層の厚さとリーク電流との関係を示す図。

【図 1 7】

この発明の第 7 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 1 の工程を示す断面図。

【図 1 8】

この発明の第 7 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 2 の工程を示す断面図。

【図 1 9】

この発明の第 7 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 3 の工程を示す断面図。

【図 2 0】

この発明の第 7 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 4 の工程を示す断面図。

【図 2 1】

この発明の第 7 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 5 の工程を示す断面図。

【図 2 2】

この発明の第 7 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 6 の工程を示す断面図。

【図 2 3】

この発明の第 7 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 7 の工程を示す断面図。

【図 2 4】

この発明の第 7 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 8 の工程を示す断面図。

【図 2 5】

この発明の第 7 の実施の形態に係る半導体装置の製造方法の他の例について説明するためのもので、第 8 の工程を示す断面図。

【図 2 6】

この発明の第 8 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 1 の工程を示す断面図。

【図 2 7】

この発明の第 8 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 2 の工程を示す断面図。

【図 2 8】

この発明の第 8 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 3 の工程を示す断面図。

【図 2 9】

この発明の第 8 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 4 の工程を示す断面図。

【図 3 0】

この発明の第 8 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 5 の工程を示す断面図。

【図 3 1】

この発明の第 8 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 6 の工程を示す断面図。

【図 3 2】

この発明の第 8 の実施の形態に係る半導体装置の製造方法について説明するためのもので、第 7 の工程を示す断面図。

【図 3 3】

従来の半導体装置の製造方法について説明するためのもので、第 1 の工程を示す断面図。

【図 3 4】

従来の半導体装置の製造方法について説明するためのもので、第 2 の工程を示す断面図。

【図 3 5】

従来の半導体装置の製造方法について説明するためのもので、第 3 の工程を示す断面図。

【図 3 6】

従来の半導体装置の製造方法について説明するためのもので、第 4 の工程を示す断面図。

【図 3 7】

従来の半導体装置の製造方法について説明するためのもので、第 5 の工程を示す断面図。

【図 3 8】

DRAM のトレンチ型メモリセルの断面構成図であり、リーク電流の経路を示す図。

【符号の説明】

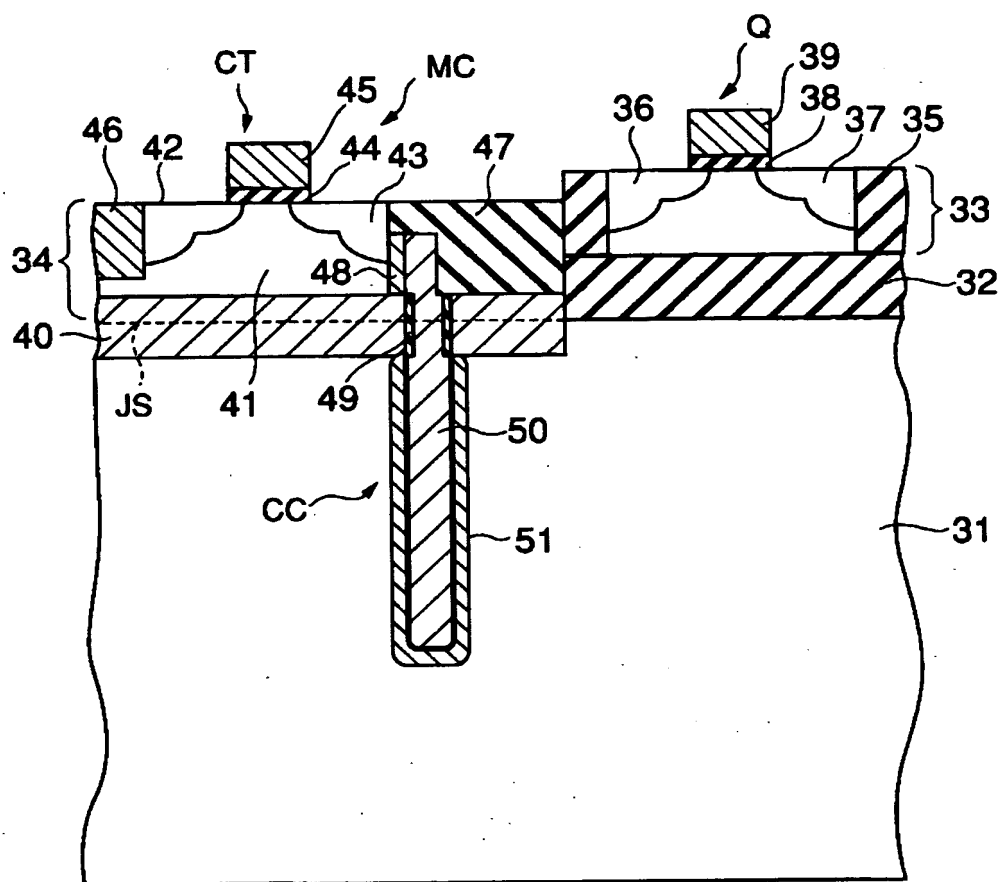
- 3 1 … 支持基板（シリコン基板）
- 3 2 … 埋め込み酸化物層（BOX 層）
- 3 3 … シリコン層（SOI 層）
- 3 4 … エピタキシャルシリコン層
- 3 5 … 素子分離領域
- 3 6 … ソース領域
- 3 7 … ドレイン領域
- 3 8 … ゲート絶縁膜
- 3 9 … ゲート電極
- 4 0 … 埋め込み n ウェル領域
- 4 1 … p ウェル領域
- 4 2 … ソース領域
- 4 3 … ドレイン領域
- 4 4 … ゲート絶縁膜
- 4 5 … ゲート電極
- 4 6 … ソース電極

- 4 7 …素子分離領域
- 4 8 …バリッドストラップ
- 4 9 …カラー酸化膜
- 5 0 …ポリシリコン層
- 5 1 …不純物拡散層
- 6 1 …保護酸化膜
- 6 2 …S i N 層
- 6 3 …段差部
- 6 4 …酸化膜
- 6 5 …側壁保護膜
- 6 6 …開口部

【書類名】

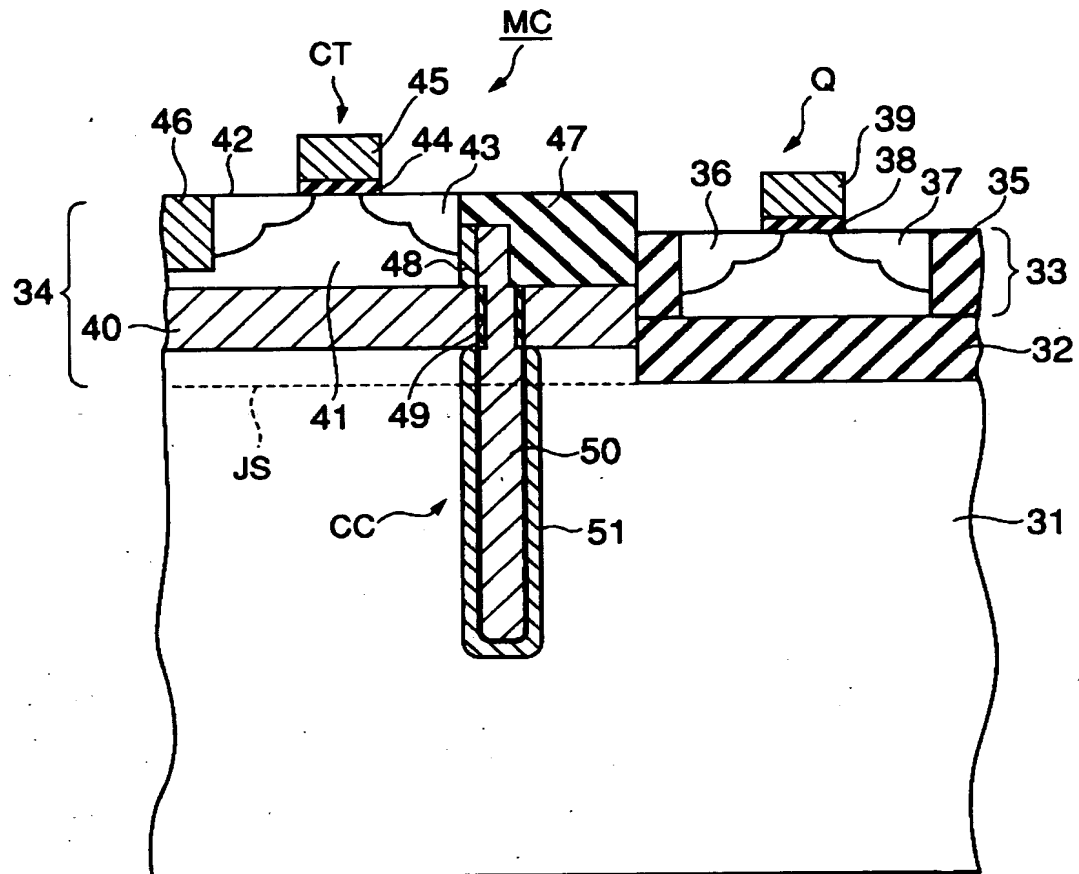
図面

【図 1】

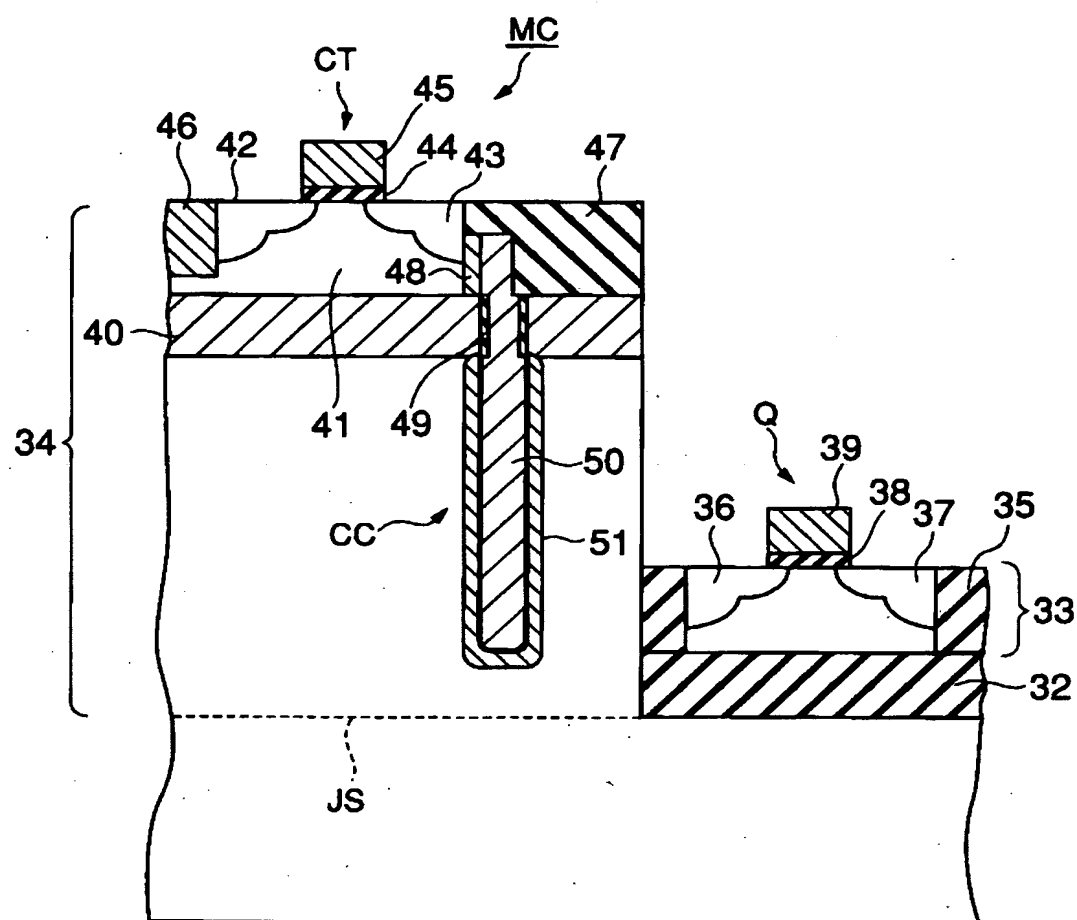




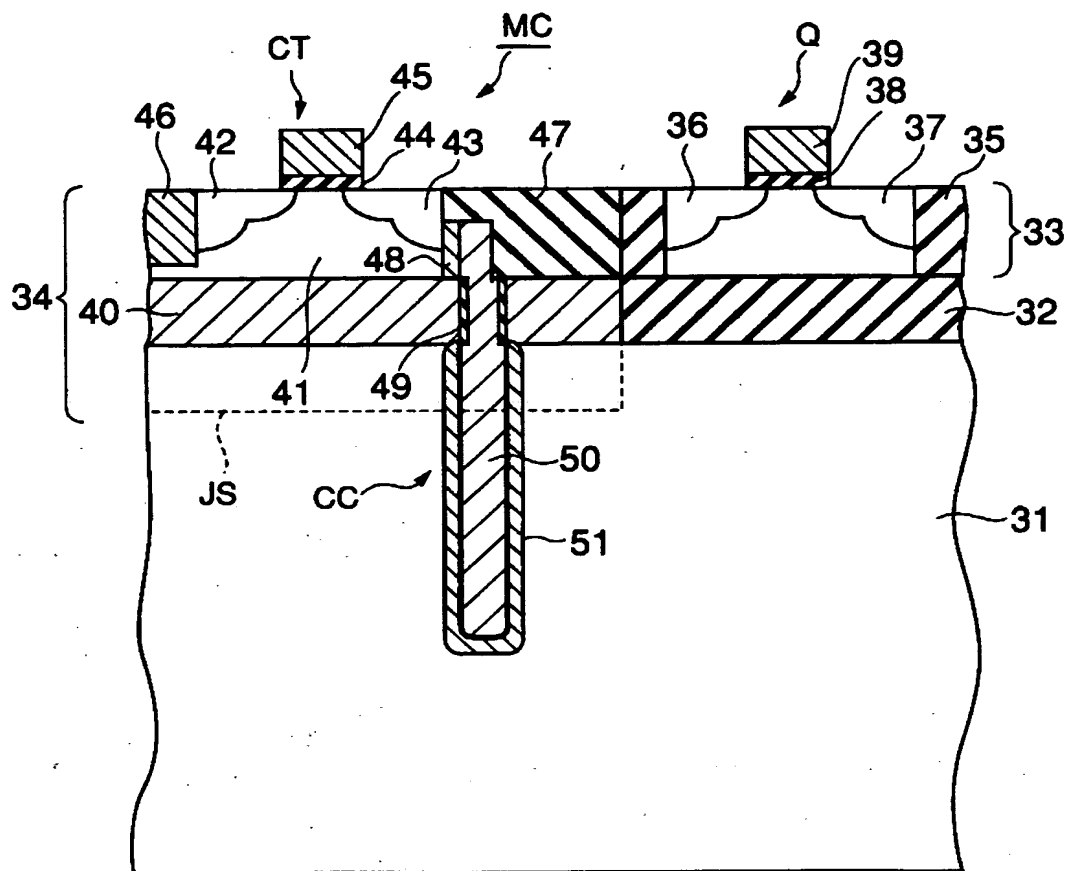
【図 2】



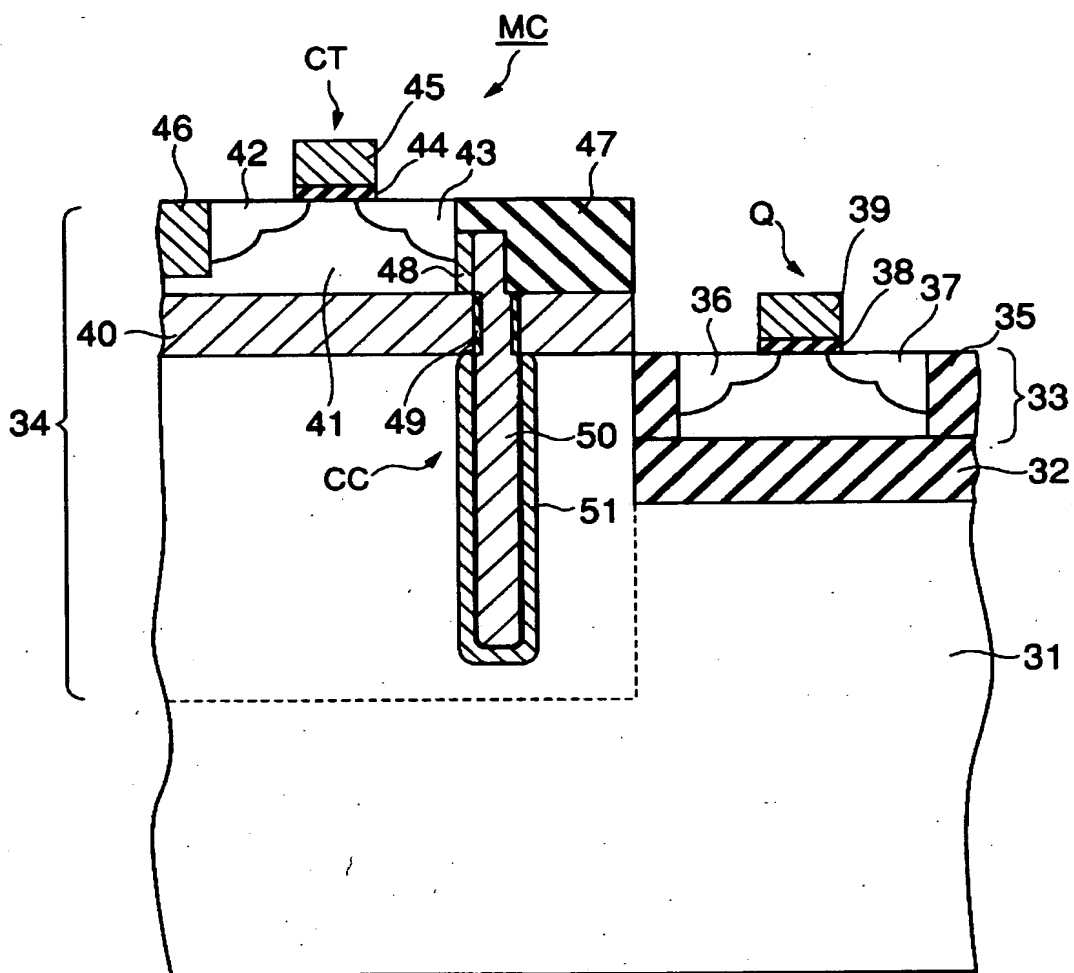
【図 3】



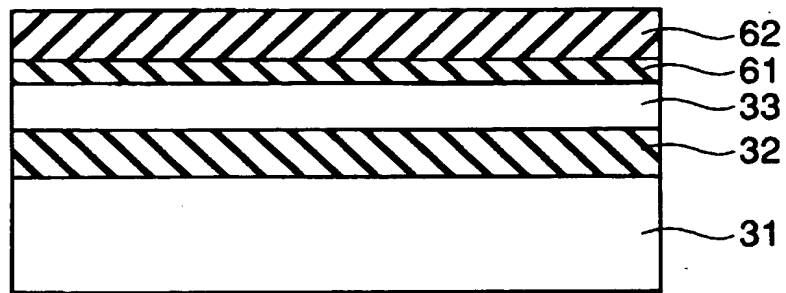
【図4】



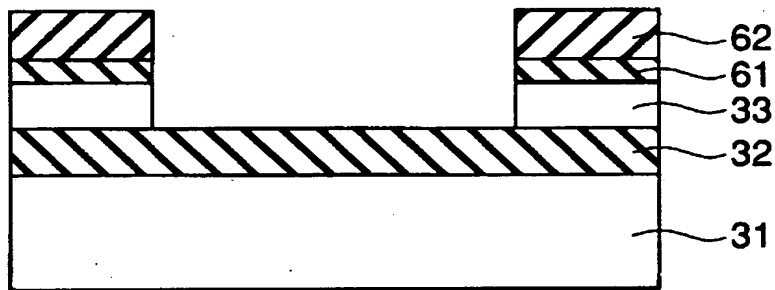
【図 5】



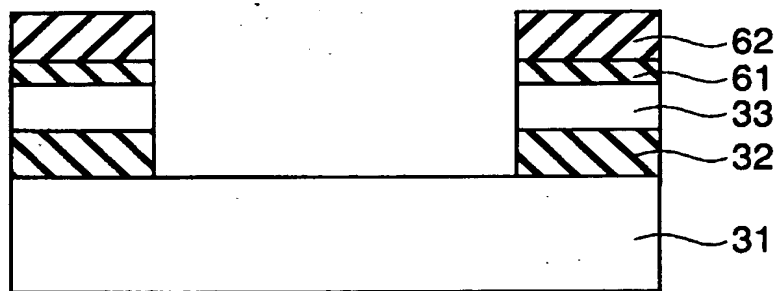
【図 6】



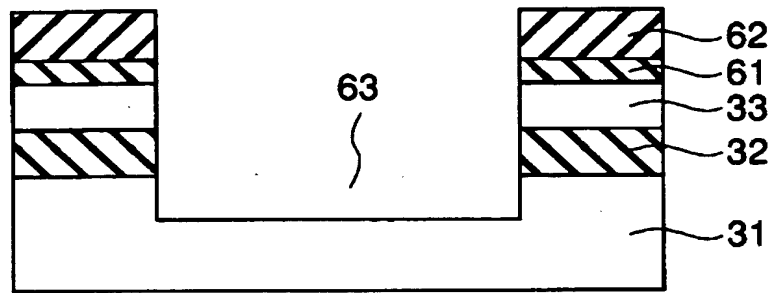
【図 7】



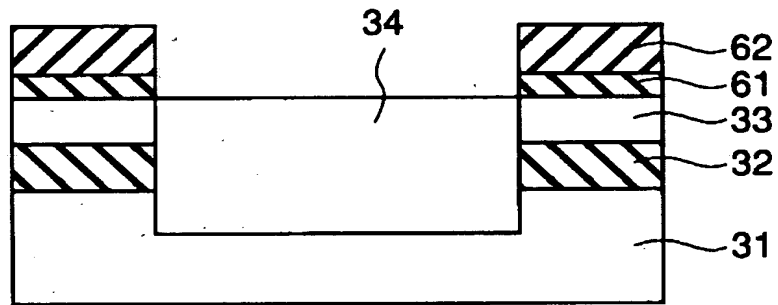
【図 8】



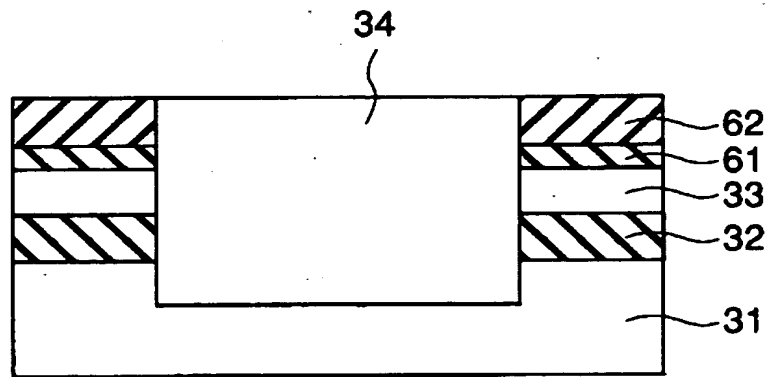
【図 9】



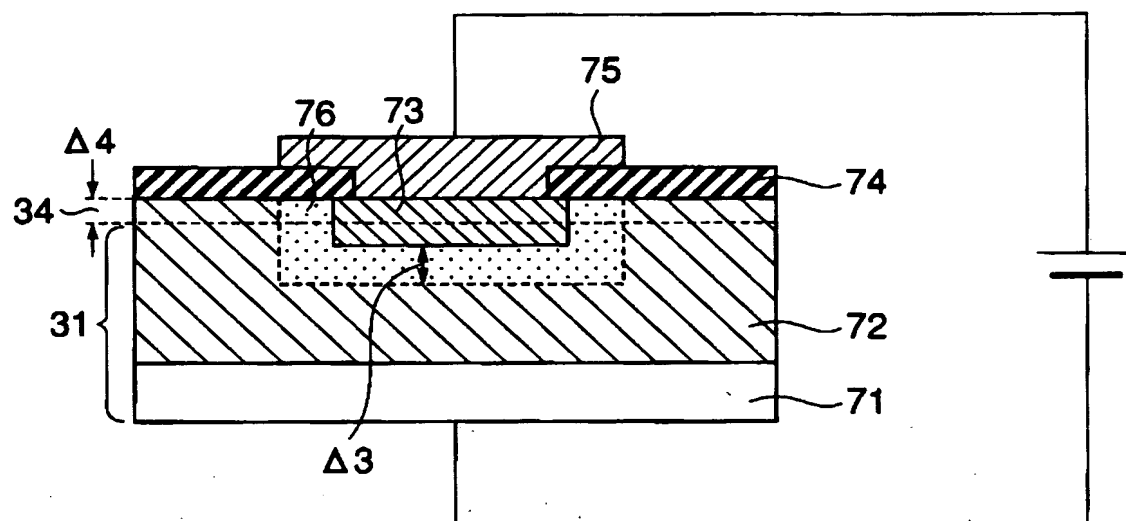
【図 1 0】



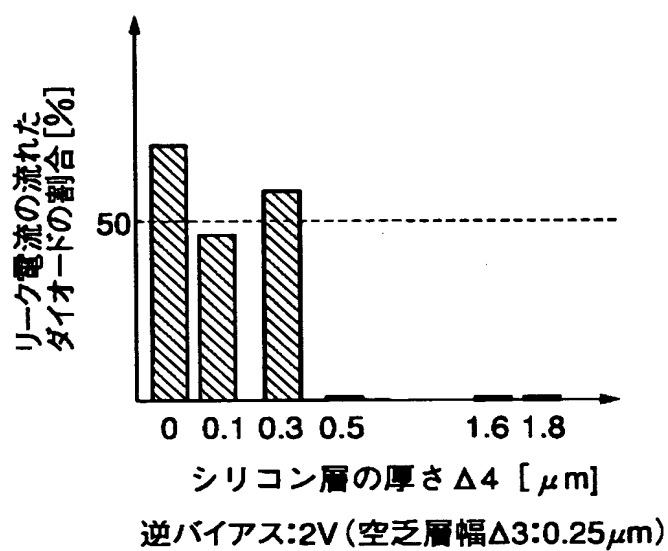
【図 1 1】



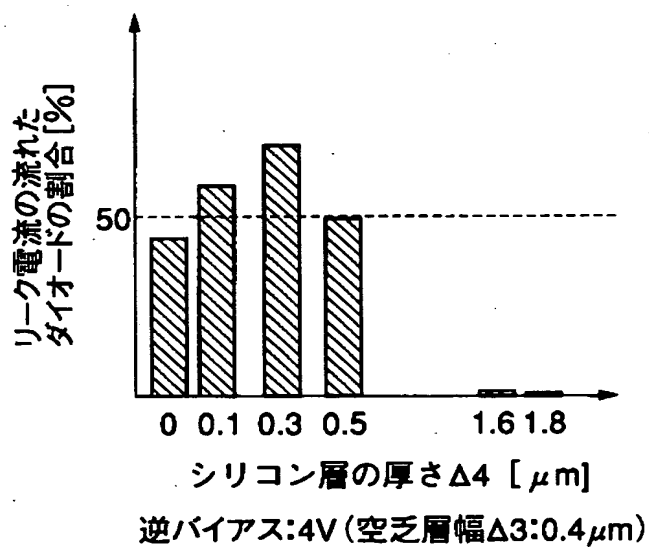
【図 1 2】



【図 1 3】



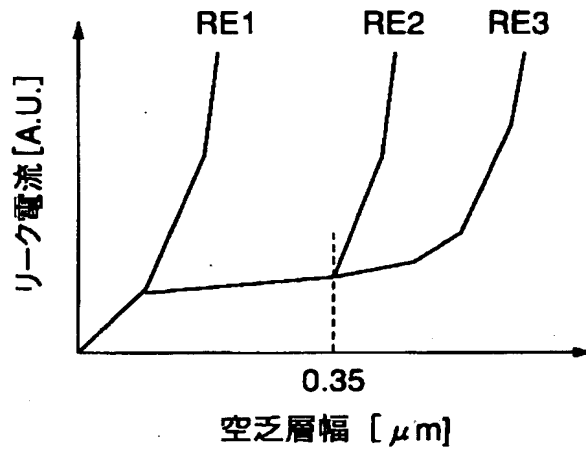
【図 1 4】



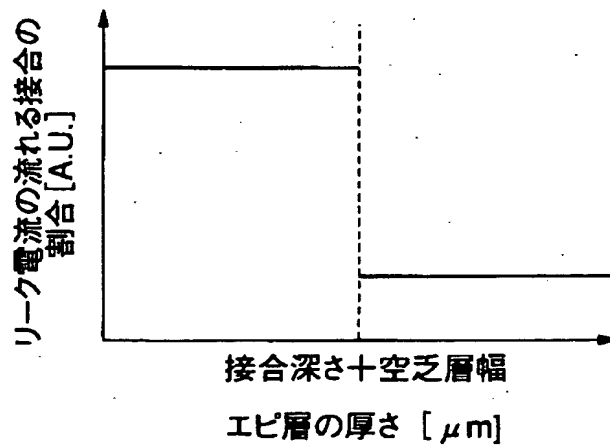


【図 1 5】

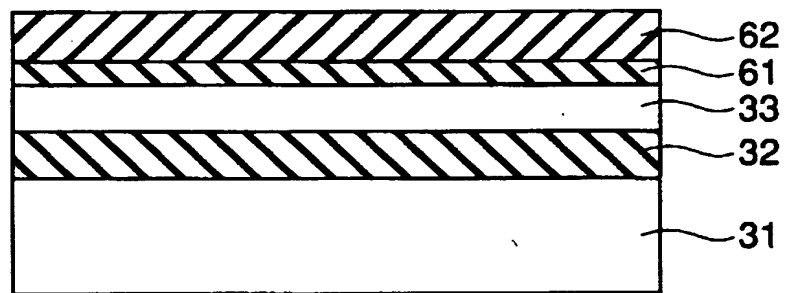
RE1：シリコン層厚＝0,0.1,0.3  $\mu\text{m}$ のときのリーク電流  
 RE2：シリコン層厚＝0.5  $\mu\text{m}$ のときのリーク電流  
 RE3：本発明（シリコン層厚＝1.6,1.8  $\mu\text{m}$ の時）のリーク電流



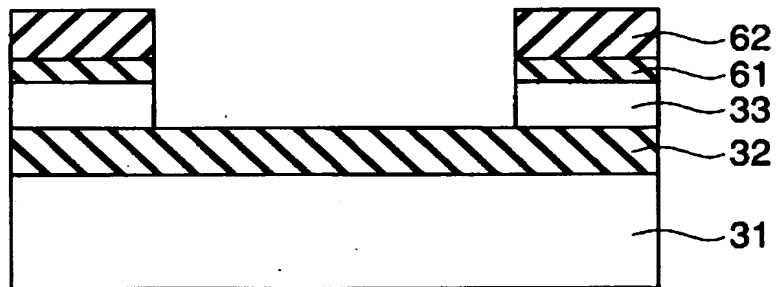
【図 1 6】



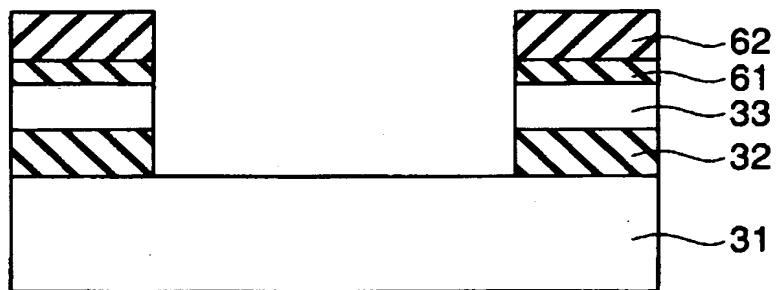
【図 1 7】



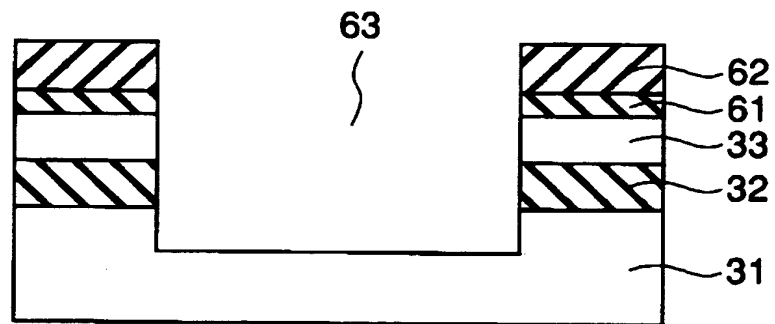
【図 1 8】



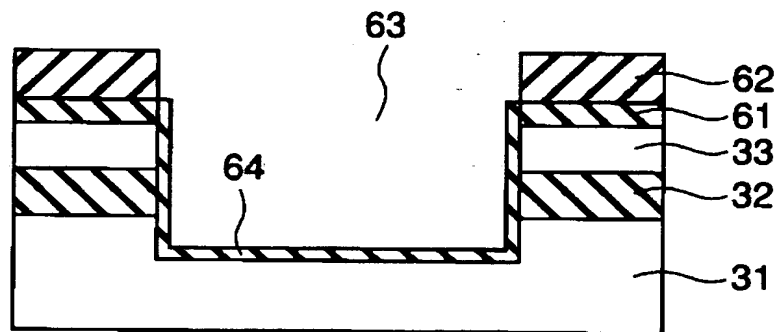
【図 1 9】



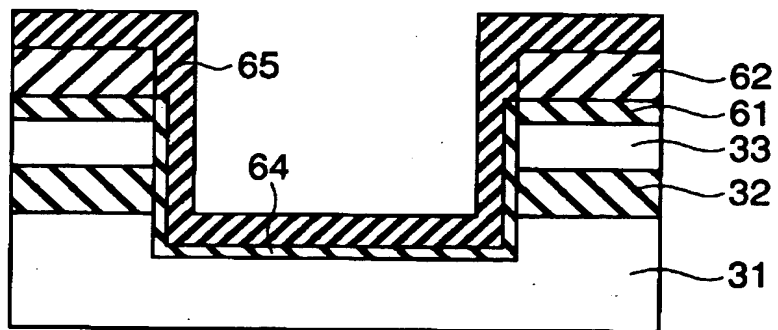
【図 2 0】



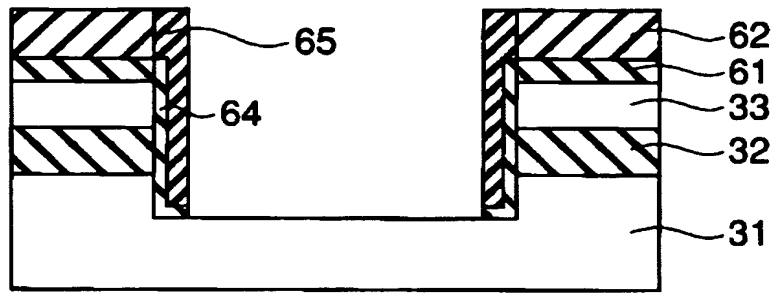
【図 2 1】



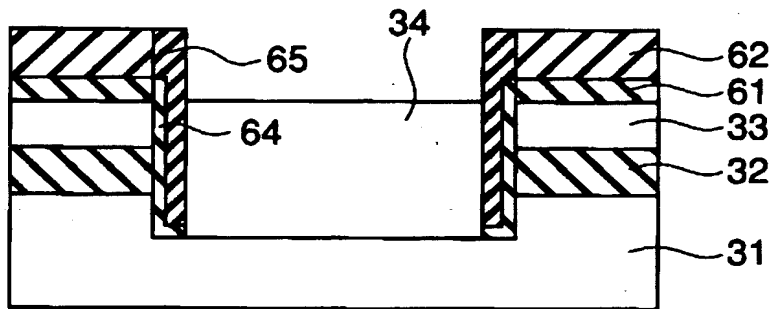
【図 2 2】



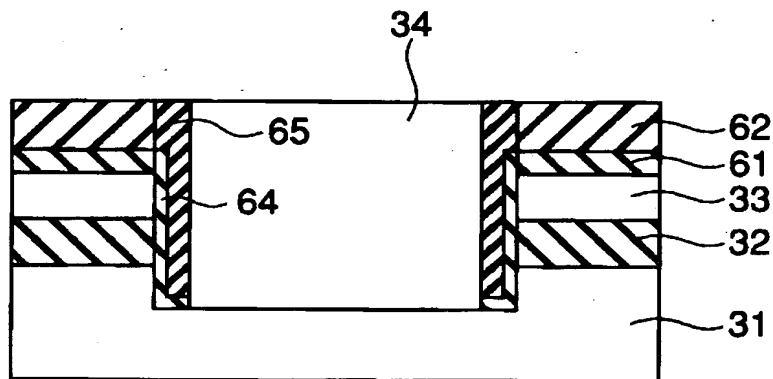
【図 2 3】



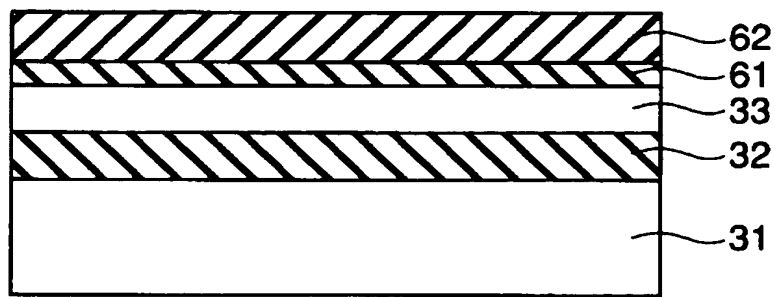
【図 2 4】



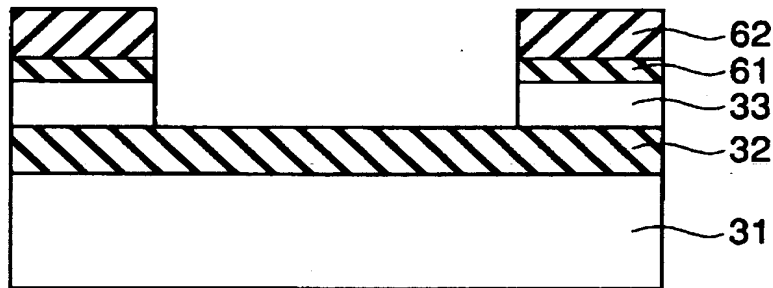
【図 2 5】



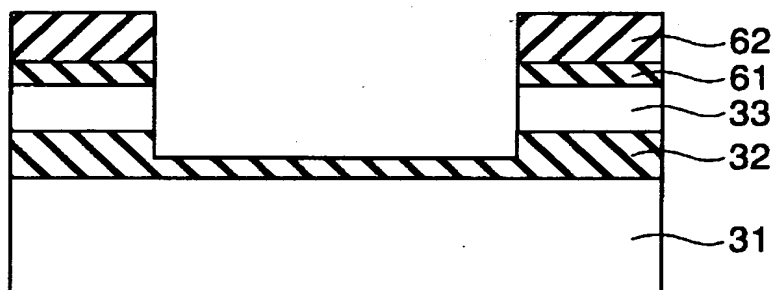
【図 2 6】



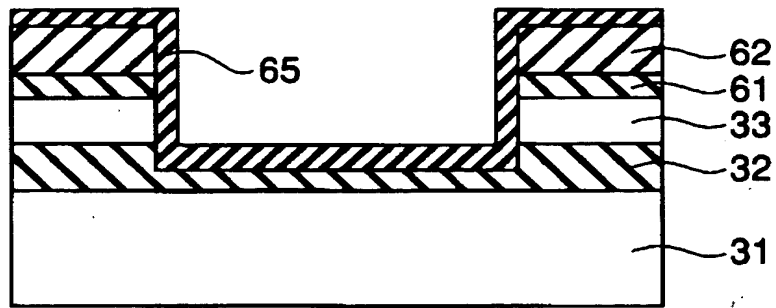
【図 2 7】



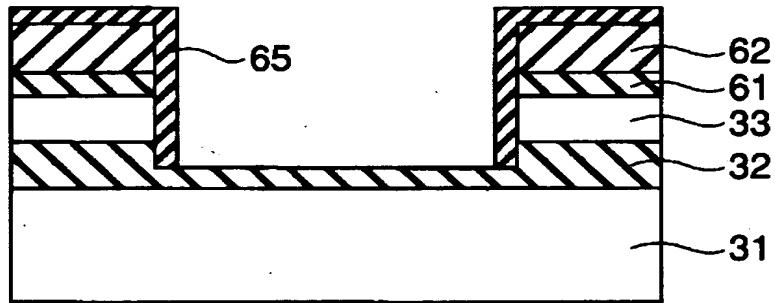
【図 2 8】



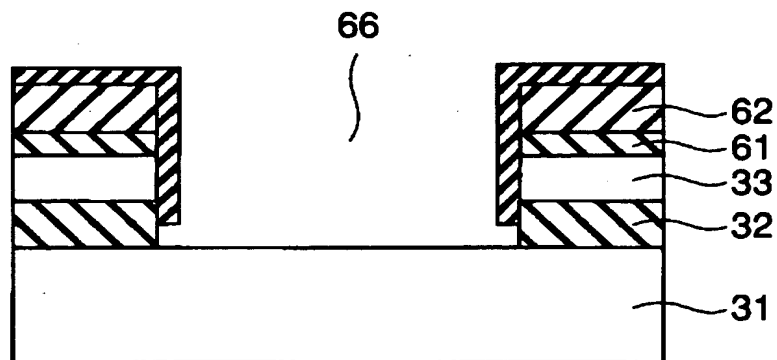
【図 2 9】



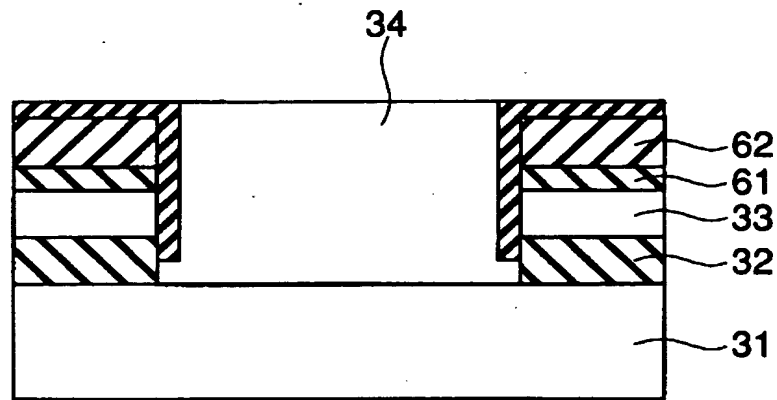
【図 3 0】



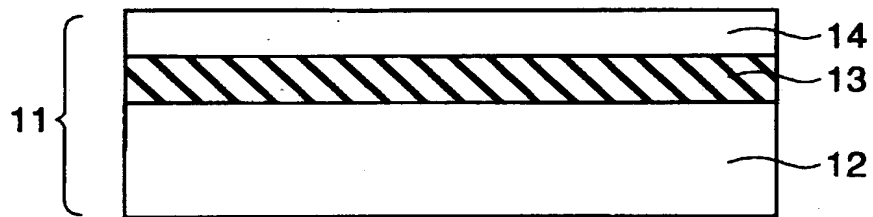
【図 3 1】



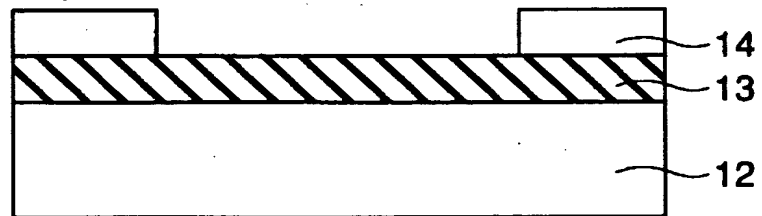
【図 3 2】



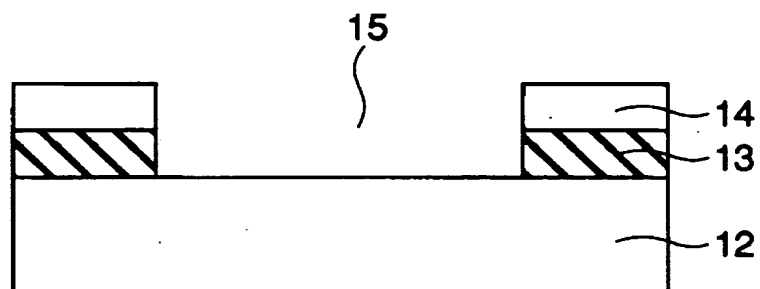
【図 3 3】



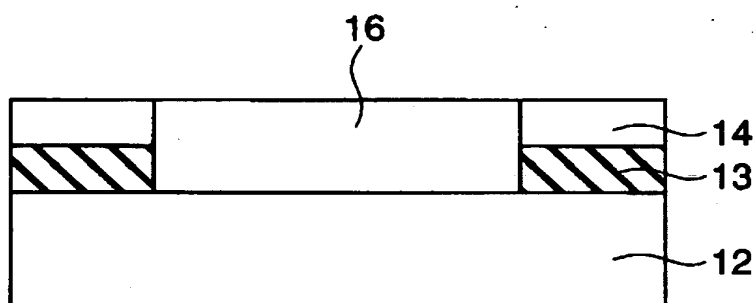
【図 3 4】



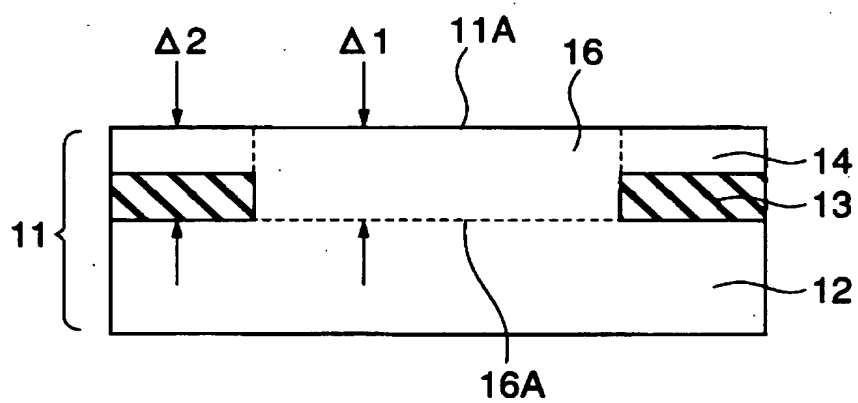
【図 3 5】



【図 3 6】

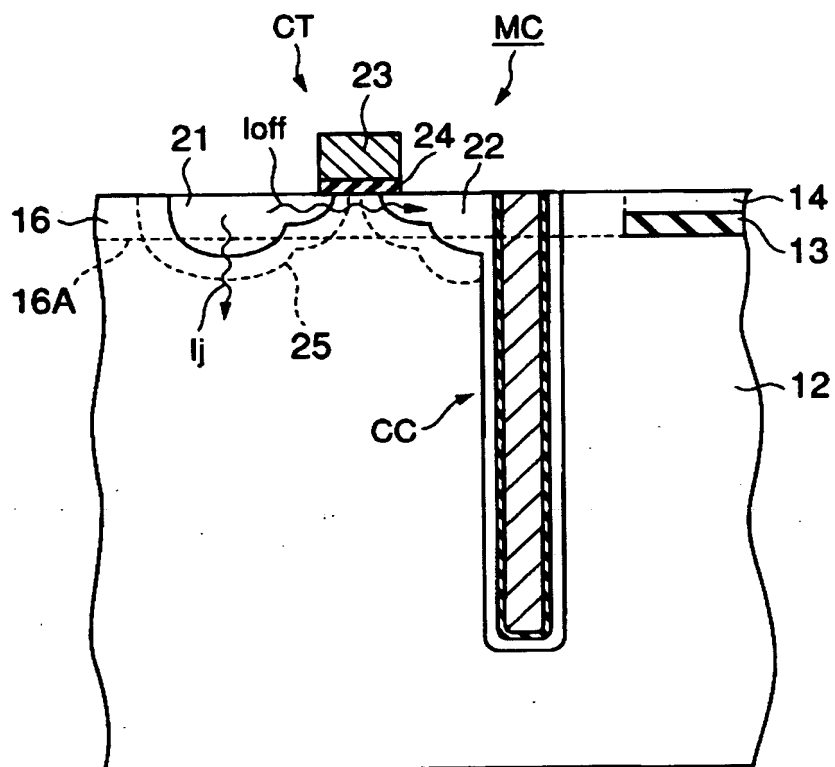


【図 3 7】





【図 38】



【書類名】 要約書

【要約】

【課題】リーク電流を抑制でき、デバイスの特性を向上できる半導体装置を提供することを目的としている。

【解決手段】半導体装置は、支持基板 3 1 上に埋め込み酸化物層 3 2 を介在して形成された第 1 の半導体層 3 3 と、この支持基板上に形成された第 2 の半導体層 3 4 とを備え、上記第 1 の半導体層中に第 1 の素子が形成され、上記第 2 の半導体層中に第 2 の素子が形成されている。そして、上記支持基板と第 2 の半導体層との界面 J S は、埋め込み酸化物層の下面と実質的に等しいか、あるいは埋め込み酸化物層より深い部分に位置することを特徴としている。上記第 2 の素子の活性領域を、上記支持基板と第 2 の半導体層との界面を避けて形成できるので、リーク電流を抑制でき、デバイスの特性を向上できる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝